

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 12 月 28 日
Application Date

申請案號：090133000
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 4 月 24 日
Issue Date

發文字號：09111007001
Serial No.

申請日期：

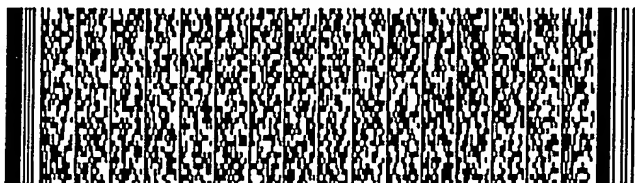
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用以設定處理器浮點運算錯誤工作電壓之判斷方法
	英文	METHOD FOR DETERMINING AN OPERATING VOLTAGE OF A FLOATING POINT ERROR DETECTION
二、 發明人	姓名 (中文)	1. 林宗儀 2. 余嘉興 3. 陳林鴻
	姓名 (英文)	1. Lin, Tsung-Yi 2. Yu, Chia-Hsing 3. Chen, Lin-Hung
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北市木柵區木新路二段四十三巷十七號三樓之一 2. 台北縣三重市永安北路一段三十三巷十七號 3. 台北市北投區吉利街一〇一之十一號二樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路535號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.

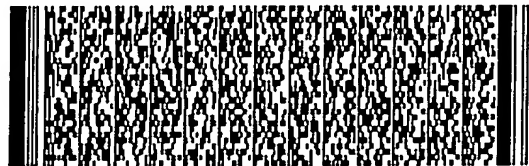


四、中文發明摘要 (發明之名稱：用以設定處理器浮點運算錯誤工作電壓之判斷方法)

本發明提供一種由南橋電路判斷處理器浮點運算錯誤工作電壓之方法，該處理器包含一第一輸出埠連接於該南橋電路之測試埠，當該處理器之工作電壓高於一第一預定準位時，該第一輸出埠係為浮接，而當該處理器之工作電壓低於該第一預定準位時，該第一輸出埠係為接地。該方法係為透過一電壓源，其係經由一電阻連接至該處理器之第一輸出埠，用來提供一準位電壓，以及測量該控制電路之測試埠之電壓，以判定該處理器之工作電壓。

英文發明摘要 (發明之名稱：METHOD FOR DETERMINING AN OPERATING VOLTAGE OF A FLOATING POINT ERROR DETECTION)

A method for determining an operating voltage of floating point error detection is provided. The method is implemented by the central processor unit (CPU) and the south bridge chipset. The processor has a first output port connected to a test port of the south bridge. The test port is used to determine an operating voltage of the processor. If the operating voltage of the processor is greater than a predetermined value, the first output port is floating. If the



四、中文發明摘要 (發明之名稱：用以設定處理器浮點運算錯誤工作電壓之判斷方法)

英文發明摘要 (發明之名稱：METHOD FOR DETERMINING AN OPERATING VOLTAGE OF A FLOATING POINT ERROR DETECTION)

operating voltage of the processor is smaller than a predetermined value, the first output port is grounded. The method includes using a power supply and a resistor to provide a bias voltage and measuring a voltage of the test port to determine the operating voltage of the processor.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

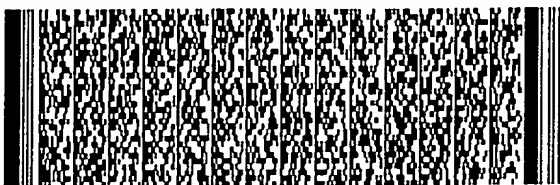
五、發明說明 (1)

發明之領域

本發明係提供一種判斷處理器浮點運算錯誤工作電壓的方法，尤指一種藉由南橋電路來判斷處理器浮點運算錯誤工作電壓的方法。

背景說明

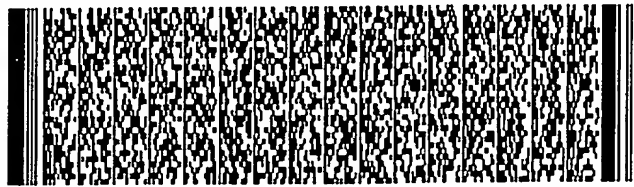
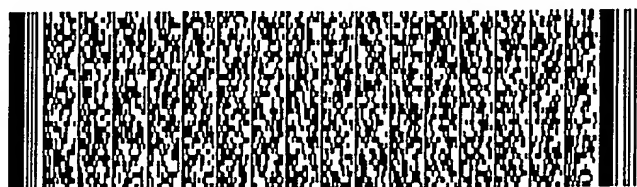
由於電腦技術的快速發展，處理器 (processor) 的發展也帶動整個電腦工業的進步，以目前採用英代爾 (Intel) x86架構的家用電腦來說，早期的中央處理器本身不具備浮點運算功能，因此必須仰賴額外的輔助處理器 (co-processor) 來協助處理浮點運算，例如搭配 80386 處理器的 32 位元浮點運算輔助處理器 80386SX，然而隨著應用軟體對於浮點運算的需求日益龐大，且處理器透過輔助處理器來處理浮點運算的方式無法大幅提昇處理速度，因此開始於處理器中加入浮點運算單元 (floating point unit, FPU) 而內建浮點運算功能，由於不需將資料傳輸至外部的輔助處理器執行運算，而是由處理器內部直接對浮點數進行運算，因此不但節省資料傳輸所造成的延遲，也大幅提昇浮點運算的處理速度，例如於一九八九年所推出的三十二位元處理器 80486DX，其內建了快取記憶體 (cache) 與浮點運算處理器。由於目前盛行的多媒體技術等均會使用到浮點運算，因此目前市面上的處理器皆已



五、發明說明 (2)

內建浮點運算單元以應付使用者的需求。

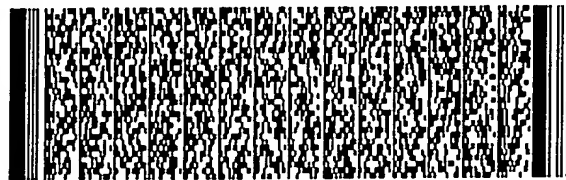
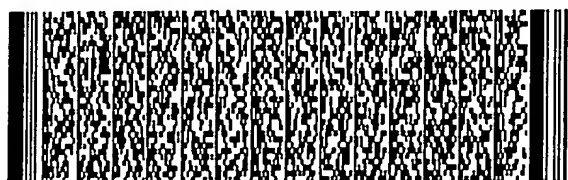
一般而言，電腦系統中較常見的資料型態為整數 (integer number) 與浮點數 (floating number)，其中整數不包含小數部分，但是浮點數係為實數 (real number)，其不僅包含小數部分亦包含了指數部分，因此儲存整數與浮點數所使用的格式 (format) 不同，而為了使處理器對整數或浮點數等不同資料型態的運算更有效率，處理器分別對不同的資料型態擁有最佳化的運算電路，其中最簡單的運算電路係用來對整數進行加法運算，即是利用加法器 (adder) 對整數進行邏輯運算以完成加法或減法運算。然而，乘法器 (multiplier) 相較於加法器而言較為複雜，因為每一次乘法運算係由複數個加法運算所完成，而每次所需的加法運算次數也隨著運算元 (operand) 的位元長度 (bit-length) 而相對地增加，因此對浮點數進行乘法運算而言，其複雜度也更勝於加法運算，所以一次乘法運算需要較多的運算週期 (clock cycle) 來完成，雖然目前處理器的運算時脈已堂堂邁進至千兆赫 (giga-hertz, Ghz)，但是應用軟體對於處理器運算速度的要求也越來越高，舉例來說，動畫軟體進行著色 (rendering) 與材質填充 (texture mapping) 時，就依靠處理器來執行大量的浮點數運算處理，同樣地，當對影音資料進行壓縮與解壓縮時亦會需要執行大量的浮點數運算，如上所述，對於處理器而言，由於浮點數運算的



五、發明說明 (3)

需求隨著使用者需求而增加，也造成處理器之浮點運算單元的負載增加，因此於高運算時脈下，也極易造成浮點運算單元於處理浮點數運算時發生浮點運算錯誤 (floating point error)，所以當處理器之浮點運算單元於執行浮點運算發生錯誤時，該處理器會輸出一浮點運算錯誤訊號 (FPU error status, FERR#) 來告知南橋 (south bridge) 電路以進行後續處理。

為了使南橋電路能對處理器進行後續浮點運算錯誤處理，必須於南橋電路中設定處理浮點運算錯誤的工作電壓 (operating voltage)，使南橋電路能依據浮點運算錯誤的工作電壓來判定自處理器接收之浮點運算錯誤訊號，舉例來說，處理器之工作電壓為 2 伏特，亦即自處理器接收之浮點運算錯誤訊號係介於 0 至 2 伏特之間，若將南橋電路之浮點運算錯誤的工作電壓設定為處理器之工作電壓 2 伏特，若南橋電路接收到處理器所輸出之浮點運算錯誤訊號大於 1 伏特，則表示該浮點運算錯誤訊號代表相對應的二進位數值 "1"，同理，當南橋電路接收到處理器所輸出之浮點運算錯誤訊號小於 1 伏特，則表示該浮點運算錯誤訊號代表相對應的二進位數值 "0"。此外，同一系列的處理器會由於製程不同而擁有不同的工作電壓，例如英代爾之奔騰二代處理器 (pentium II processor) 或奔騰三代處理器 (pentium III processor) 即有不同的工作電壓 1.5 伏特與 2.5 伏特，對於南橋電路而言，便需要依據處理



五、發明說明 (4)

器的工作電壓來設定相對應浮點運算錯誤的工作電壓，所以首先必須知道處理器的實際工作電壓。

請參閱圖一，圖一為習知設定浮點運算錯誤工作電壓的流程圖。

步驟 101:基本輸入輸出系統 (basic input/output system, BIOS) 自處理器讀取該處理器之辨識資料 (CPU ID) ；

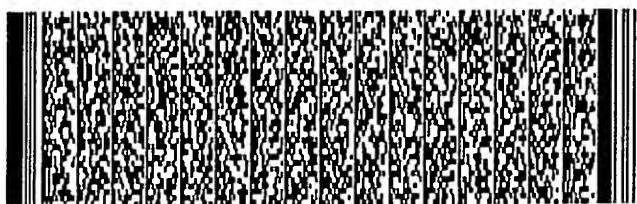
步驟 102:基本輸入輸出系統依據該處理器之辨識資料判定該處理器之工作電壓 (Vcore) ；

步驟 103:處理器之工作電壓是否為 1.5 伏特 ? 若是，則執行步驟 104；若否，則執行步驟 105；

步驟 104:設定南橋電路之浮點運算錯誤工作電壓為 1.5 伏特；

步驟 105: 設定南橋電路之浮點運算錯誤工作電壓為 2.5 伏特。

如上所述，習知技術係利用基本輸入輸出系統來讀取處理器所提供的辨識資料，然後該基本輸入輸出系統則依據該辨識資料來判別該處理器的工作電壓，並同時設定相對應浮點運算錯誤的工作電壓，所以基本輸入輸出系統中不但要包含處理器的資料以便依據處理器之辨識資料得知其工作電壓，並且還要能提供南橋電路相關資料以設定浮



五、發明說明 (5)

點運算錯誤的工作電壓，因此製作基本輸入輸出系統的廠商必須依據不同廠商的主機板提供相對應的基本輸入輸出系統，若是該基本輸入輸出系統中遺漏了處理器的資料則會無法辨別該處理器，且於基本輸入輸出系統製作的過程中，必須耗費時間與人力來對基本輸入輸出系統進行測試工作以驗證其功能是否正確執行。此外，處理器之辨識資料與該處理器的實際工作電壓可能不符合，擁有相同的辨識資料的兩顆處理器，可能由於製程不同而擁有不同的工作電壓，因此，運用基本輸入輸出系統讀取處理器所提供的辨識資料來判斷該處理器的工作電壓可能造成誤判的情形。

發明概述

因此本發明的主要目的在於提供一種中央處理器工作電壓之判斷方法，係利用南橋電路來判斷電腦系統中浮點運算錯誤之工作電壓，以減少其誤判之可能性。

根據本發明的目的，提出一種由一電腦系統之控制電路判斷該電腦系統之處理器之工作電壓之方法，該處理器包含一第一輸出埠，其於該處理器之工作電壓高於一第一預定準位時係處於浮接狀態，而於該處理器之工作電壓低於該第一預定準位時則處於接地狀態。該控制電路包含一測試埠，連接於該處理器之第一輸出埠，用來偵測該處理

五、發明說明 (6)

器之工作電壓。該方法係為透過一電壓源，其係經由一電阻連接至該處理器之第一輸出埠，用來提供一準位電壓，以及測量該控制電路之測試埠之電壓，以判定該處理器之工作電壓。

發明之詳細說明

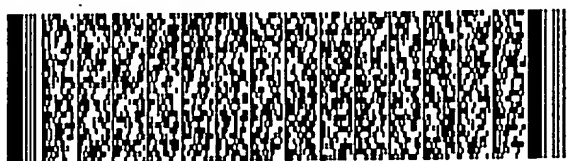
請參閱圖二至圖四，圖二為本發明一較佳實施例之工作電壓偵測電路方塊示意圖，圖三與圖四為圖二所示之工作電壓偵測電路的等效電路方塊示意圖。電腦系統 10 包含一處理器 12，一南橋電路 11 以及一偏壓電路 22。處理器 12 包含一第一輸出埠 14 連接於南橋電路 11 的測試埠 16，用來依據處理器 12 的工作電壓產生相對應的輸出，以及一第二輸出埠 18 連接於南橋電路 11 的訊號輸入埠 20，用來輸出浮點運算錯誤訊號。偏壓電路 22 連接於第一輸出埠 14 與測試埠 16，其包含一電阻 24 及一電壓源 26，用來提供一準位電壓。

當處理器 12 之工作電壓高於一第一預定準位時，第一輸出埠 14 係處於浮接 (floating) 狀態，而當處理器 12 之工作電壓低於一預定準位時，第一輸出埠 14 係處於接地 (ground) 狀態。舉例來說，對英代爾之奔騰二代處理器 (pentium II processor) 或奔騰三代處理器 (pentium III processor) 而言，當處理器 12 之工作電壓高於 2 伏特



五、發明說明 (7)

時，第一輸出埠 14 係處於浮接狀態，而當處理器 12 之工作電壓低於 2 伏特時，第一輸出埠 14 係處於接地狀態。由於英代爾之奔騰二代處理器或奔騰三代處理器，擁有不同的工作電壓 1.5 伏特與 2.5 伏特，因此，如圖三所示，當處理器 12 之工作電壓為 1.5 伏特時，第一輸出埠 14 係處於接地狀態，造成偏壓電路 22 提供一接地電壓給予南橋電路 11 的測試埠 16，而南橋電路 11 則可依據測試埠 16 所偵測到的接地電壓，亦即自測試埠 16 接收一二進位數值 "0"，得知處理器 12 之工作電壓為 1.5 伏特，並設定浮點運算錯誤工作電壓為 1.5 伏特，而南橋電路 11 可經由該浮點運算錯誤工作電壓而進一步地判斷訊號輸入埠 20 所接收的浮點運算錯誤訊號為相對應二進位數值 "1" 或 "0"。同樣地，如圖四所示，當處理器 12 之工作電壓為 2.5 伏特時，第一輸出埠 14 係處於浮接狀態，所以第一輸出埠 14 與測試埠 16 之間可視為斷路，因此偏壓電路 22 可經由電壓源 26 及電阻 24 來提供一相當於南橋電路 11 之操作電壓的偏壓 (bias voltage) 給予南橋電路 11 的測試埠 16，亦即自測試埠 16 接收一二進位數值 "1"，而南橋電路 11 則依據測試埠 16 所偵測到的準位電壓可以得知處理器 12 之工作電壓為 2.5 伏特，並設定浮點運算錯誤工作電壓為 2.5 伏特，所以，南橋電路 11 可經由該浮點運算錯誤工作電壓而進一步地判斷訊號輸入埠 20 所接收的浮點運算錯誤訊號為相對應二進位數值 "1" 或 "0"。



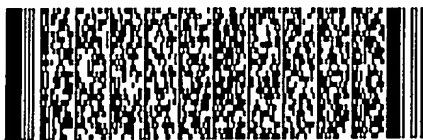
五、發明說明 (8)

如上所述，南橋電路 11 係透過測試埠 16 所偵測到的準位電壓來取得處理器 12 的工作電壓以得知浮點運算錯誤的工作電壓，當測試埠 16 接收到一電壓高於一第二預定準位的訊號時，表示處理器 12 之第一輸出端係為浮接狀態，因此可知處理器 12 的工作電壓係高於該第一預定的準位，而當測試埠 16 接收到一電壓低於一第二預定準位的訊號時，表示處理器 12 之第一輸出端係為接地狀態，因此可知處理器 12 的工作電壓係低於該第一預定準位。所以，本實施例中，南橋電路 11 可判別不同工作電壓的處理器 12，並且設定相應的浮點運算錯誤工作電壓。

相較於習知技術，本發明電壓偵測電路利用處理器之一第一輸出埠之浮接與接地狀態，並經由一偏壓電路提供一準位電壓，使得南橋電路可得知處理器的實際工作電壓，並因此得知浮點運算錯誤的工作電壓，所以本發明電壓偵測電路不需要透過基本的輸入輸出系統支援來提供相關資訊以設定浮點運算錯誤的工作電壓，因此也不會產生處理器基本的識別資料與工作電壓不符而產生誤判的情形。此外，基本輸入輸出系統的相關廠商也不必於基本輸入輸出系統中本加入讀取處理器的識別資料及設定浮點運算錯誤工作電壓的功能，所以主機板廠商也就不需要特別檢查基本輸入輸出系統是否本身功能執行時有錯誤產生而影響浮點運算錯誤工作電壓的設定。

五、發明說明 (9)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知設定浮點運算錯誤工作電壓的流程圖。

圖二為本發明一較佳實施例之工作電壓偵測電路方塊示意圖。

圖三與圖四為圖二所示之工作電壓偵測電路的等效電路方塊示意圖。

圖式之符號說明

10	電腦系統	11	南橋電路
12	處理器	14	第一輸出埠
16	測試埠	18	第二輸出埠
20	訊號輸入埠	22	偏壓電路
24	電阻	26	電壓源



六、申請專利範圍

1. 一種用以設定處理器浮點運算錯誤工作電壓之判斷方法，為利用一控制電路實施，其中該處理器包含一第一輸出埠，其於該處理器浮點運算錯誤工作電壓高於一第一預定準位時係處於浮接狀態 (floating)，於該處理器浮點運算錯誤工作電壓低於該第一預定準位時係處於接地 (ground) 狀態，而該控制電路包含一測試埠，連接於該處理器之第一輸出埠，用來判定該處理器之浮點運算錯誤工作電壓，該方法包含：

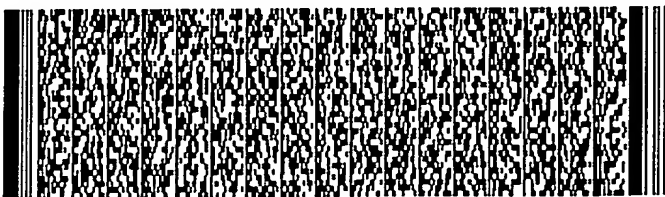
提供一電壓源，其係經由一電阻連接至該處理器之第一輸出埠，用來提供一準位電壓；以及

測量該控制電路測試埠上之電壓，並判定該處理器之浮點運算錯誤工作電壓。

2. 如申請專利範圍第 1 項所述之方法，其中該準位電壓係一正電壓，若該控制電路之測試埠之電壓高於一第二預定準位時，則該處理器之工作電壓係高於該第一預定準位，若該控制電路之測試埠之電壓低於該第二預定準位時，則該處理器之工作電壓係低於該第一預定準位。

3. 如申請專利範圍第 1 項所述之方法，其中該控制電路係一南橋電路 (south bridge)。

4. 如申請專利範圍第 1 項所述之方法，其中該處理器另包含一第二輸出埠，連接至該控制電路之訊號輸入埠，用

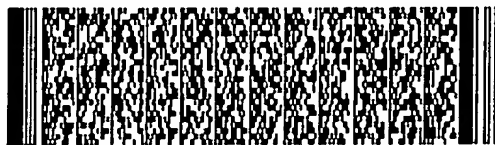


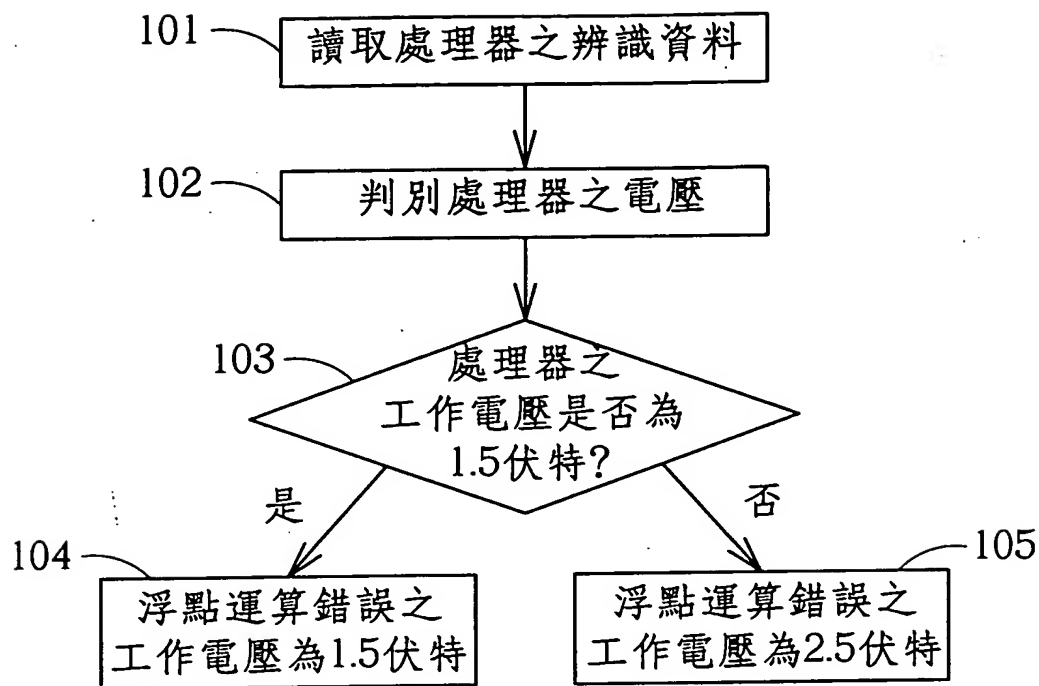
六、申請專利範圍

來傳輸一預定訊號，該方法另包含：

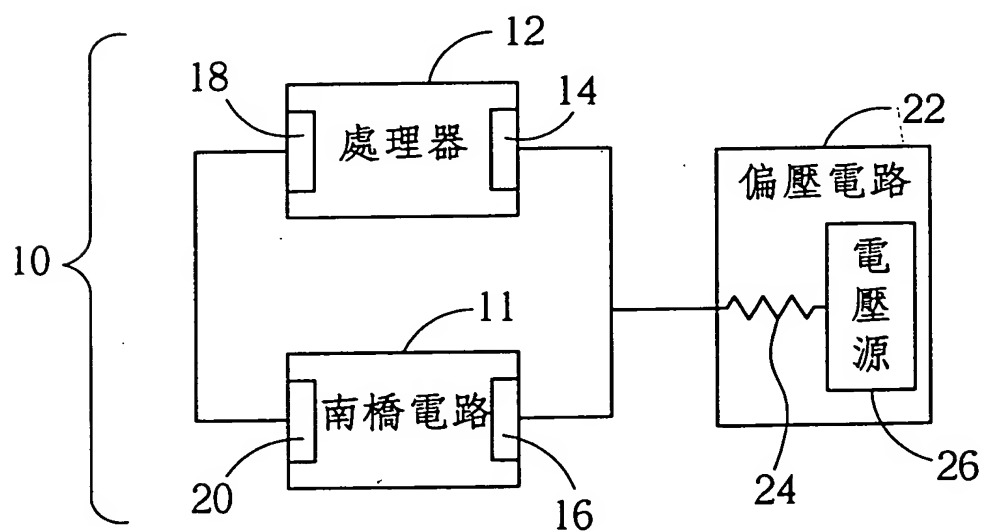
依據該處理器之浮點運算錯誤工作電壓判斷該預定訊號所傳遞之訊息。

5. 如申請專利範圍第4項所述之方法，其中該預定訊號係該處理器之浮點運算錯誤（floating point error）訊號。

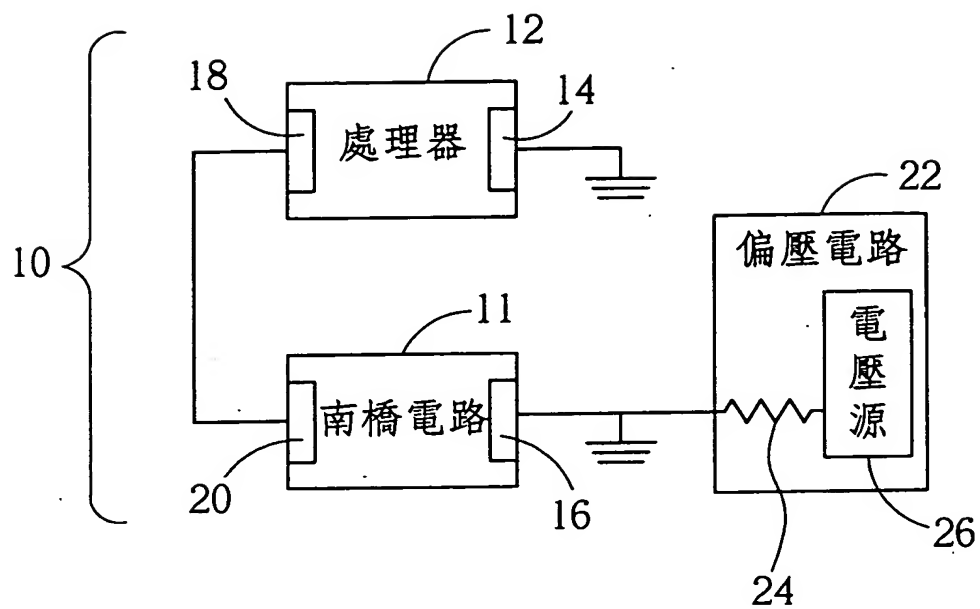




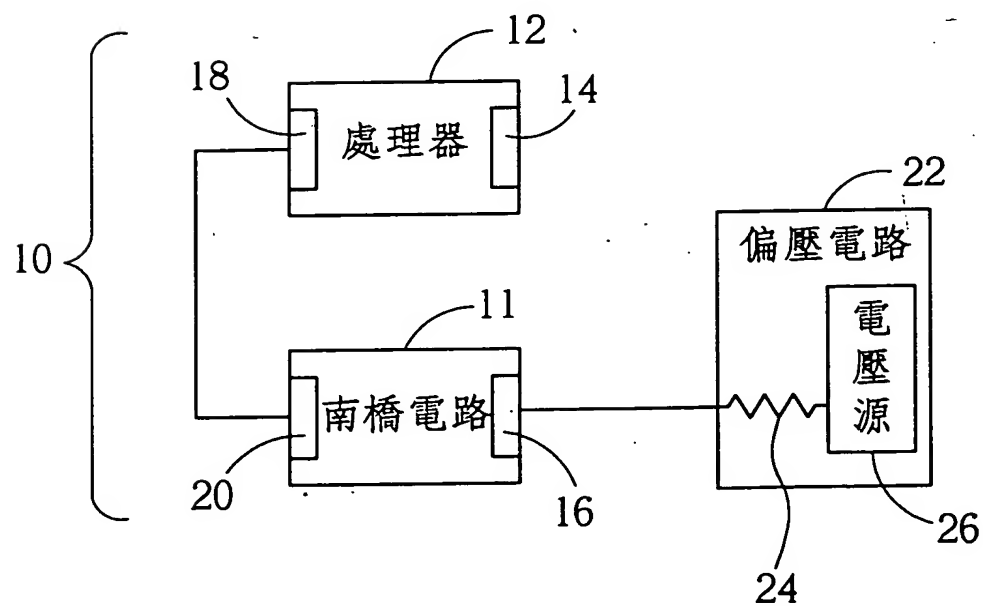
圖一



圖二

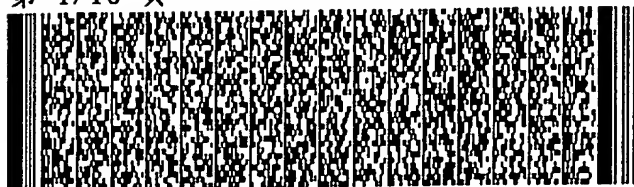


圖三

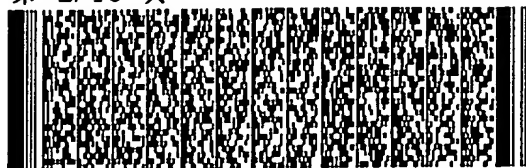


圖四

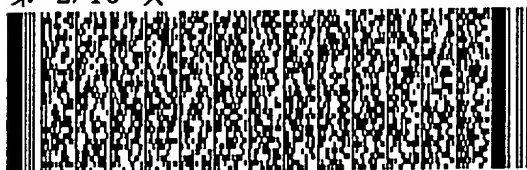
第 1/16 頁



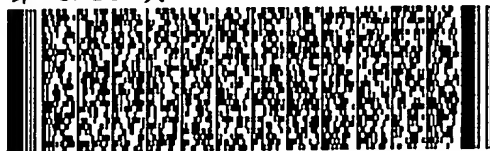
第 2/16 頁



第 2/16 頁



第 3/16 頁



第 5/16 頁



第 5/16 頁



第 6/16 頁



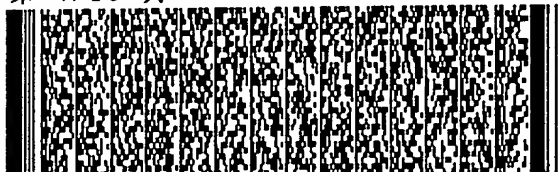
第 6/16 頁



第 7/16 頁



第 7/16 頁



第 8/16 頁



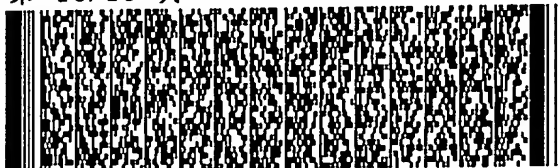
第 9/16 頁



第 9/16 頁



第 10/16 頁



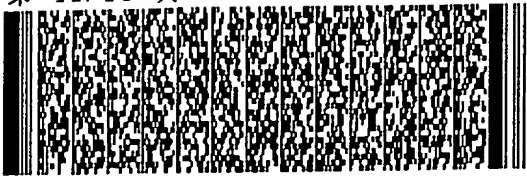
第 10/16 頁



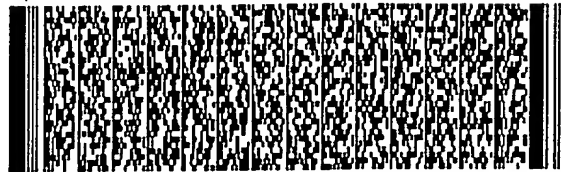
第 11/16 頁



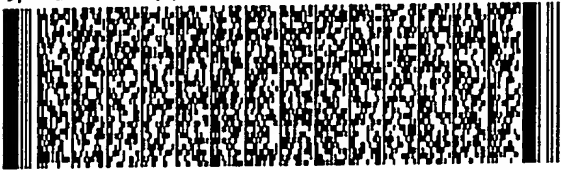
第 11/16 頁



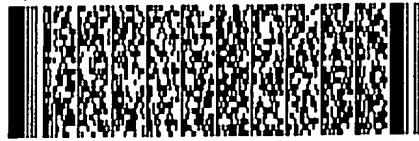
第 12/16 頁



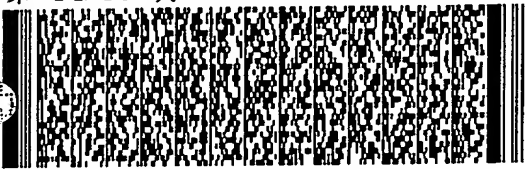
第 12/16 頁



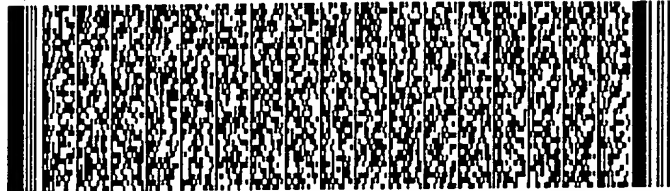
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

